# 计算光刻

# 成员：

# 杜雪飞 2019004002005

# 杨可 201900402023

# 郑文龙 201900402048

# 亓瑞晨 201900402049

# 数据来源(更多数据的详细来源请见参考文献)：

# [1] Synopsys DTCO Flow: technology development[EB/ OL]. [2022-01-05]. https://www.synopsys.com/silicon/ resources/articles/dtco-flow.html.

# Cao Y. Mahine learning in computational lithography [EB/OL]. [2022-01-04]. https://www. ebeam. org/ docs/SPIE2019-yu-cao.pdf.

# [2]华卫群，周家万，尤春. 集成电路掩模分辨率增强技术[J]. 电子与封装，2020，20 (11)： 110402.

# [3] Pang L, Ungar P J, Bouaricha A, et al. TrueMask ILT MWCO: full-chip curvilinear ILT in a day and full mask multi-beam and VSB writing in 12 hrs for 193i[J]. Proceedings of SPIE, 2020, 11327: 145-158.

# [4] Liu P. Mask synthesis using machine learning software and hardware platforms[J]. Proceedings of SPIE, 2020, 11327: 1132707.

# [5] Cecil T, Braam K, Omran A, et al. Establishing fast, practical, full-chip ILT flows using machine learning[J]. Proceedings of SPIE, 2020, 11327: 1132706.

# [6] Shi X L, Zhao Y H, Chen S M, et al. Physics based feature vector design: a critical step towards machine learning based inverse lithography[J]. Proceedings of SPIE, 2020, 11327: 113270A.

# [7] Adam K, Ganjugunte S, Moyroud C, et al. Using machine learning in the physical modeling of lithographic processes[J]. Proceedings of SPIE, 2019, 10962: 109620F.

# [8] Kim Y S, Lee S, Hou Z Y, et al. OPC model accuracy study using high volume contour based gauges and deep learning on memory device[J]. Proceedings of SPIE, 2019, 10959: 1095913.

# 成员分工：

# 杜雪飞：负责计算光刻技术发展趋势的调研和撰写、结论部分的撰写、最后的排版与汇总

# 杨可：负责光源掩模联合优化和二次成像技术的调研与撰写

# 郑文龙：负责基于模型的邻近效应修正的调研与撰写

# 亓瑞晨：负责背景调研和光学邻近效应与邻近效应校正技术的调研与撰写

# 摘 要

# 计算光刻技术是提高分辨率的重要手段，是连接芯片设计与制造的桥梁。首先，介绍了计算光刻技术的起源即第 1 代光学邻近效应校正（OPC）技术，基于规则的 OPC；随后，以14nm 芯片制造过程为例介绍了现代芯片制造采用的各种计算光刻技术，包括基于模型的第2代OPC 技术、光源掩模联合优化技术、二次成像图形拆分技术。最后，介绍了计算光刻的发展趋势，包括反向光刻技术、曲线掩模、人工智能应用及协同优化。综合芯片设计、制造、检测的集成优化将是未来计算光刻发展的主要方向。

# 关键词 计算光刻；光学邻近效应校正；全景优化；反向光刻

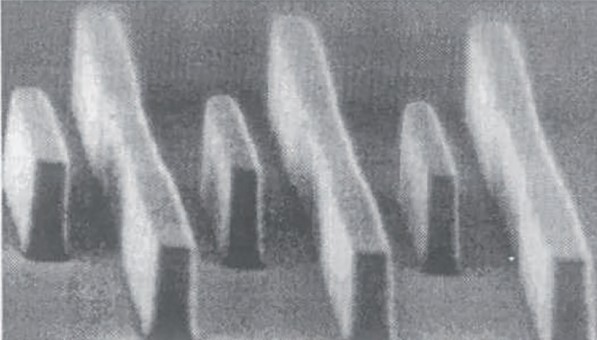
## 1 引言

集成电路晶体管数量的高速增长得益于晶体管尺寸的不断缩小，即电路集成度的不断提升。晶体管尺寸的缩小，可以使得电路的电阻、电容同步降低，进而降低电路延时(RC延时)，从而提高电路速度；此外，电阻的减少还可以减少电路功率损耗；最后，晶体管尺寸的缩小使得在单位面积上得以继承更多数量的晶体管。晶体管的最小尺寸主要由芯片制造的关键工艺——光刻工艺决定，符合瑞丽公式的限制。其中，为曝光波长，为投影物镜的数值孔径，为与照明方式、掩模类型、光刻胶显影工艺等相关的修正系数。即：

由瑞丽公式可知，提高晶体管的最小尺寸的方式主要有：减小曝光波长、增大投影物镜的数值孔径、采用更强分辨率技术降低等。集成电路发展早期，主要采用减小曝光波长、增大投影物镜的数值孔径的方式。随着集成电路的关键尺寸减小到数十纳米，进一步采取上述方式的难度和成本迅速增加，人们开始将研究的重心转移到分辨率增强技术上来。目前主要的分辨率增强技术包括离轴照明(OAI)、光学邻近效应修正(OPC)、相移掩模(PSM)、偏振照明和光源掩模联合优化(SMO)等。在分辨率增强技术中，光学邻近效应修正技术、光源掩模联合优化技术等需要对工艺进行数值建模、通过对工艺结果的仿真优化工艺变量的方法统称为计算光刻技术。

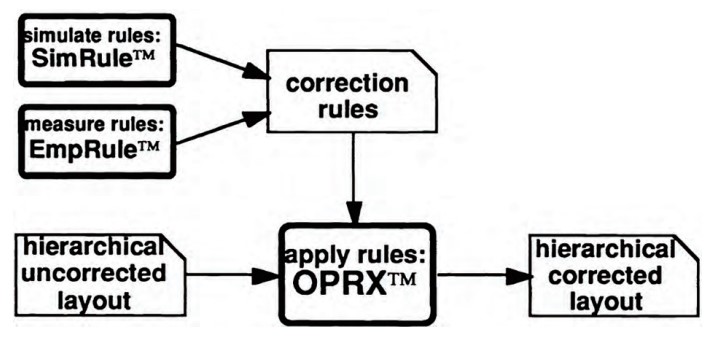
## 2 光学邻近效应与邻近效应校正技术

20世纪80年代，集成电路的最小几何长度，进入亚微米尺度，接近或小于，其中是曝光光源的波长。研究人员通过一系列研究观察到了邻近效应[1-2]。邻近效应是在电子束刻蚀过程中，由于电子的散射导致相邻两个图形互相影响而发生形变的现象。图形形变主要表现为孤立线条与密集线条线宽的不一致、矩形线长度的缩短与直角的圆化。图1为相同线宽曝光在硅片上的图片，可以观察到由于邻近效应的影响，中间线宽明显窄于左右半孤立的线的线宽。这种现象后来被称为光学邻近效应。早期针对光学邻近效应的校正非常简单，即人为对有形变的图形进行一个与形变方向相反的偏移以抵消形变，从而保持硅片上线条的线宽一致性。

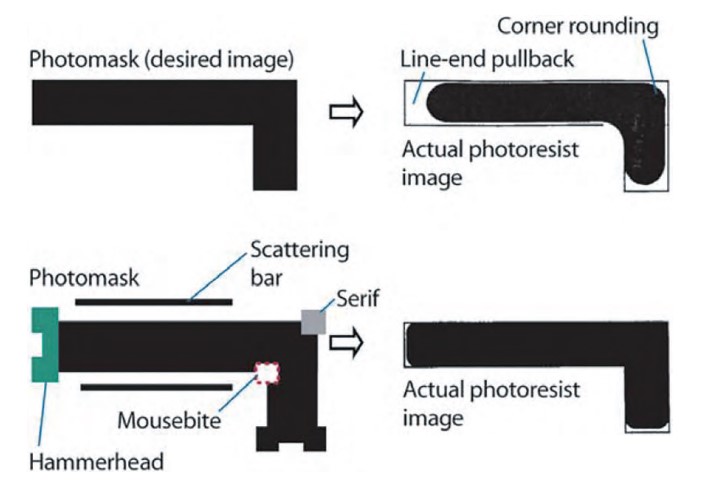


**图1 光学邻近效应[3]**

20世纪90年代起，计算机辅助设计技术的兴起使得自动的光学邻近效应校正成为可能。例如，Trans Vector Technology公司的OPRX是一款典型的基于规则的自动光学邻近效应校正工具，其工作流程如图2所示。首先，通过空间像仿真或者硅片实际测量的结果生产不同线宽、不同距离等条件下的图形需要校正的偏移量。然后，输入版图，OPRX读取版图中每个多边形的边，并根据该边的线宽，间距等信息查询校正规则表格以获得该边的偏移值。最后，在版图上实现这些偏移，即完成了整个校正。线端缩短和直角圆化的校正是通过在线端直角处添加或删除亚分辨率Serif图形或锤头形状完成的，如图3。

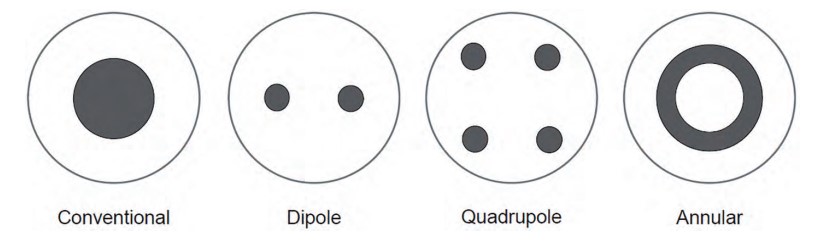


**图2 OPRX工作流程[4]**

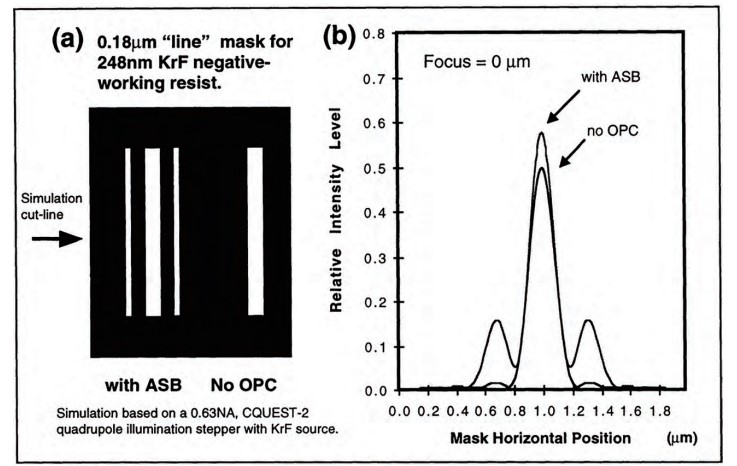


**图3 线端缩短和直角圆化的邻近效应校正[5]**

除了上述邻近效应校正技术之外，还有两项分辨率增强技术得到人们的关注：离轴照明技术和相移掩模技术。离轴照明技术通过改变光源形状减少正入射光，保留斜入射的离轴光，从而保留更多的高级衍射光参与成像，大幅度提升光刻系统的光学分辨率，如图4所示；相移掩模技术通过对图形区域内外增加180°的相移增强光学成像对比度。受亚分辨图形Serif的启发，在孤立线和半孤立线附近添加不能被曝光印出的亚分辨率线条。该操作可以有效提高孤立线的成像质量，如图5所示。



**图4 传统照明与离轴照明的光源形状[6]**



**图5 亚分辨率辅助线对孤立线条成像提高示意图[7]**

## 3电子设计自动化的发展趋势

以OPC为主的计算光刻技术在0.25μm节点之后开始得到广泛的应用，特别是在65nm以下的现代芯片制造过程中，多种计算光刻技术被开发和使用。以14nm节点芯片制造为例，涉及的计算光刻技术包括基于模型的OPC、光源掩模联合优化、多次成像技术(MPT)及测试图形生成工具等。。OPC之后的掩模数据提供给掩模制造商还需要从图形信息转换为掩模曝光机(mask writer)的光斑信息，需要对光斑(shot)形状进行优化以降低光斑数量并校正掩模曝光机邻近效应。

### 3.1基于模型的邻近效应修正

与基于规则的邻近效应修正不同，基于模型的修正是从制程信息提取数学模型来引导图形修正。

1994年，Presim公司的Stirniman等[8]采用zone sampling的方法进行OPC可以看作是最早的基于模型OPC的尝试。。1994年—1998年，Liu等[15-17]提出了一套完整的基于模型的OPC计算流程：仿真反馈的优化，如图8所示。基于模型的邻近效应修正的核心是建立基于光学模型和光刻胶模型的仿真系统。

Cobb和Zakhor等人[9]提出，可以将部分相干成像的方程近似于一系列相干光源sum of coherent system(SOCS)的方法快速计算基于Hopkins模型的transmission cross coefficient(TCC)。这极大加快了空间图像的计算速度，使得其在工业界被广泛应用。

这种方法通过光学仿真建立精确的计算模型，然后调整图形的边沿不断仿真迭代，直到逼近理想的图形。目前主流的基于模型的OPC工具主要包括光刻模型建模(也称OPC建模)、OPC优化或掩模优化、OPC验证等几个主要功能或工具。光刻模型建模主要包括光学模型和光刻胶曝光显影模型。

图示

描述已自动生成**图6 加入反馈修正的OPC系统**

光学模型通常采用Hopkins的TCC模型来描述投影光刻机照明与曝光系统成像。

光刻胶曝光显影模型用以计算光刻胶曝光时的光化学变化和显影的基本机制。为简化计算，人们提出了多种经验性光刻胶曝光显影模型如可变阈值模型(VTM)。该模型采用曝光剂量、图形特征尺寸等20多个参数计算阈值，通过测试图形在硅片上的实际曝光数据对模型中的参数进行标定。在实际应用过程中，业界还使用一些专用的测试图形曝光，收集晶圆上的测试数据，用来修正软件库中的模型，使计算出的结果和实际情况尽量吻合[10]。

在上述简化的OPC系统基础上，现代基于模型的OPC流程如图9所示。优化开始于版图的目标图形，在表图形上的每个边上放置断点，两个断点之间的边即为可变的优化变量，通过仿真光刻模型，获得光刻胶轮廓曲线，计算轮廓与目标之间从差值(EPE)估算边的偏移量，经过几次迭代以后完成OPC优化，形成优化后的掩模图案。

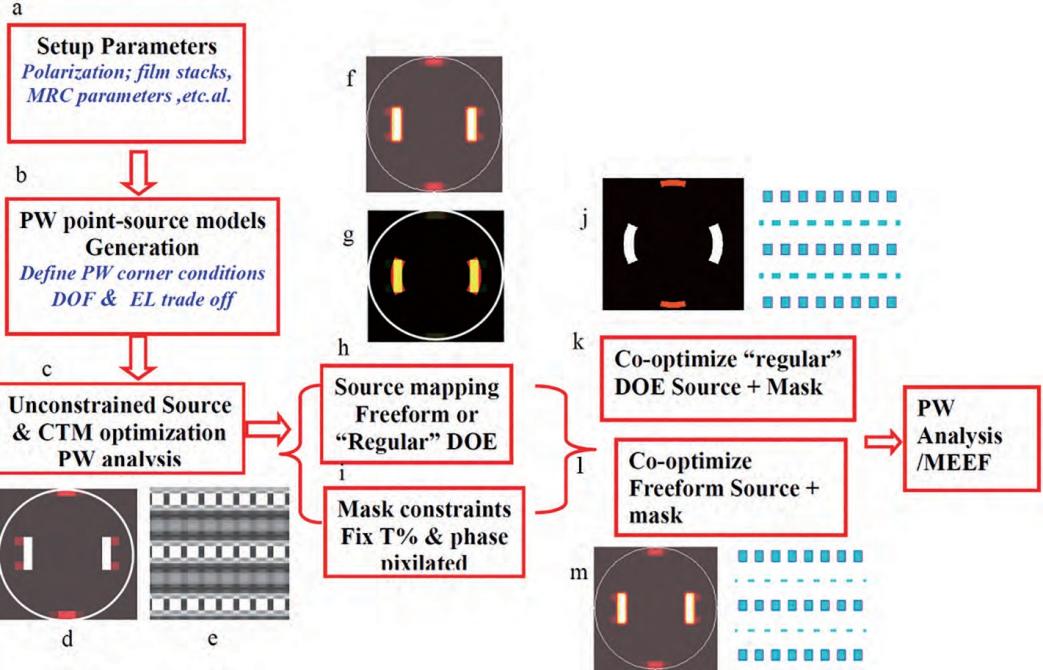
图示

描述已自动生成**图7 基于模型的光学邻近效应校正过程[11]**

OPC掩模优化完成后，需要再次对掩模进行光刻仿真，检查光刻成像是否有潜在缺陷。通常不仅仅需要检查光刻曝光在正常工作状态下(最佳曝光剂量和最佳焦面位置)的缺陷，还需要检查在不同曝光剂量和不同离焦结合情况下可能产生的缺陷。相比于基于规则的邻近效应校正，基于模型的邻近效应校正流程更加复杂，对计算资源的需求非常高。现代半导体公司用于芯片量产制造的OPC工具运行在具有数千甚至数万个CPU核的运算集群上，集群任务调度策略、状态跟踪维护等也都成为OPC软件系统需要综合考虑的问题。

### 3.2光源掩模联合优化

光源掩模联合优化是提高单次曝光分辨率极限的有效办法。1998年，Burkhardt等[12]对规则接触的照明优化研究表明，特定的图形用特定的照明方式可以使之获得最优的成像质量。2008年，Hsu等[13]发布了第1款商用的SMO工具。该工具仍然采用EPE作为优化的成本函数，为了能够确保优化器最小化最大的轮廓与目标之间从差值EPE；每一个评估点或控制点的数值越大，对最大的优化能力就越强。Brion SMO的工作流程，该流程包括无限制光源优化和限制光源优化等几个步骤，最终形成可以实现的光源与掩模优化结果，如图8所示。

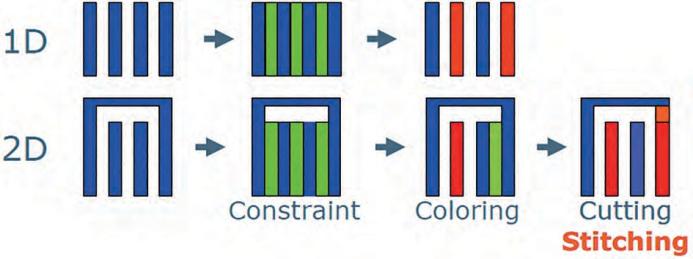


**图8 SMO工作流程[13]**

除Brion提出的光源掩模联合优化外，Luminescent公司也提出一种基于水平集算法的光源掩模联合优化[14]。然而，无论哪种发法都需要大量繁杂的计算过程，巨大的运算量导致它们都只能针对少量有代表性的小块版图进行光源优化。2011年，Brion提出的适用于全芯片的SMO流程，旨在通过图形筛选工具对典型芯片设计图形进行筛选，而后再进行光源掩模联合优化，获得的光源适用在全芯片上。这一方法的关键在于典型版图的选择，即用于光源优化的clip的典型性和对全芯片版图图形的代表性。

### 3.3 二次成像技术

二次成像技术，即DPT是14nm及其以下节点的必备技术。因为单次曝光的最小线宽在38nm(周期76nm)，小于此线宽(周期)的版图不能单次曝光成像，需要将图形拆分到两张或更多掩模上。因此，DPT主要完成图形拆分。由于极紫外光刻机的不断推迟，DPT技术早在45~32nm技术节点时就得到相当的关注[15]，SMO的出现将DPT真正的采用节点推迟到了14nm。根据工艺实现的不同，DPT可以分为基于曝光刻蚀的litho-etch-litho-etch(LELE)和基于Spacer的自对准DPT(SADP)[16]。DPT图形拆分方法也包括基于规则的拆分和基于模型的拆分两种。基于规则拆分的方法使用得比较普遍，其具体做法如图9所示。



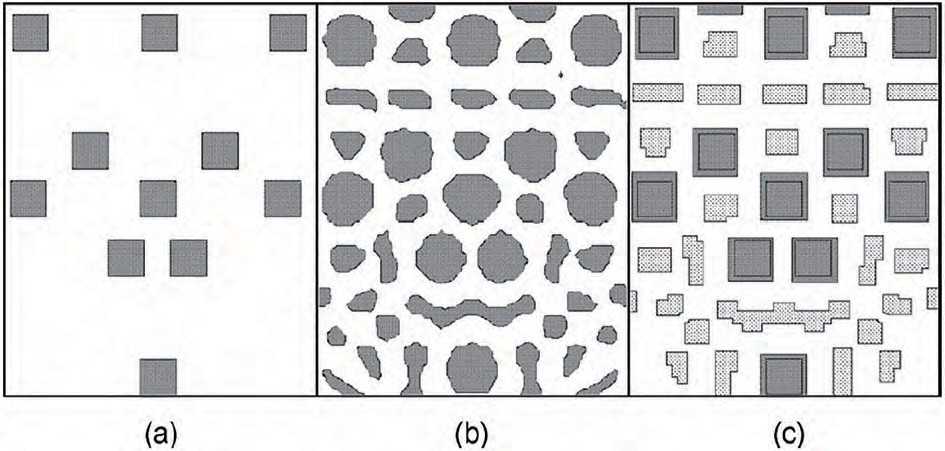
**图9 基于规则DPT 图形拆分方法示意图[17]**

基于规则拆分的方法首先基于间距和周期规则标识具有冲突的图形，其次对具有冲突的图形着不同的颜色。必要时需要对图形进行分部分着色。此外，某些版图设计是不可能通过拆分完全解决冲突的，例如品字形图形。这种通常需要通过光刻模型进行验证或者通过修改设计的办法进行解决。近年来一些前端EDA设计工具也增加了对DPT图形拆分的前端考虑，即在布局布线的过程中就考虑了图形拆分的情形。

## 4 计算光刻技术发展趋势

计算光刻领域，7~10nm技术节点的DUV制程相比于14nm主要增加了三次成像或四次成像的图形拆分需求。其原理与DPT相同，复杂程度大幅增加。7~5nm技术节点由于采用EUV制程，计算光刻工具基本框架基本不变，需要在光刻工艺模型中增加EUV光刻特有的现象，比如6°主光线斜入射导致的阴影效应，特别是X方向和Y方向阴影的差别及在不同曝光场阴影变化，掩模多层薄膜反射矢量模型，曝光杂散光(flare)现象等。除了上述已经采用的计算光刻技术外，反向光刻技术与曲线掩模、人工智能与云计算及协同优化与全景优化成为计算光刻技术发展趋势。

反向光刻技术本质是在给定的工艺条件下，已知光刻目标图形而求解掩模图形的过程，其典型特征是对掩模的像素化处理及全局优化过程，特别是不再需要额外增加曝光辅助图形生成[18]。也正因如此，反向光刻技术的结果通常被认为是OPC技术的极限和最优解。长期以来，由于反向光刻技术输出的像素化掩模或基于像素掩模而获得的曲线掩模无法制造，因此该结果通常被作为中间结果，基于该结果再进行矩形多边形简化或图形的曼哈顿化，以方便掩模制造。



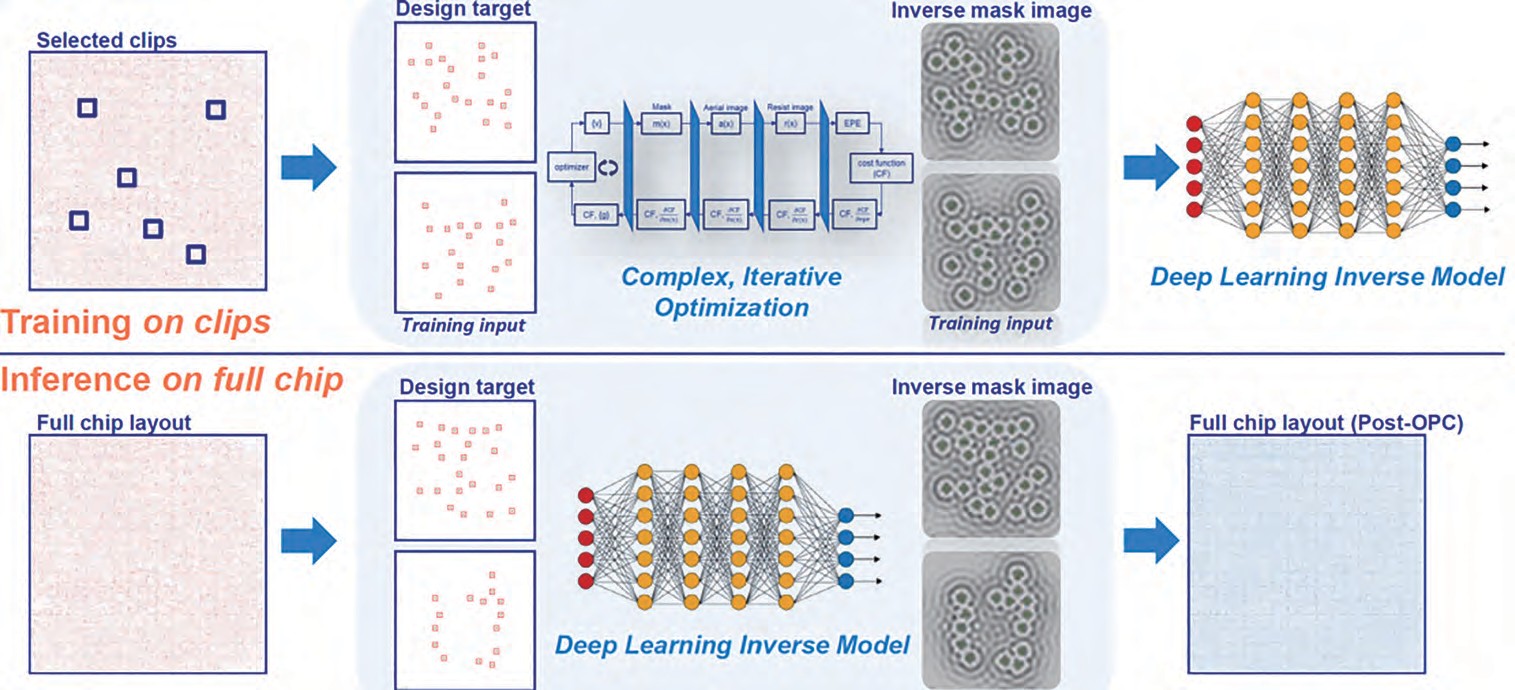
**图10 反向光刻技术掩模优化使用实例[19]**

**(a)目标版图图形；(b)曲线掩模图形；(c)简化的掩模图形**

图10展示了对于版图图形的反向光刻技术优化的曲线掩模和简化后掩模。由于掩模像素化优化数据量较大，计算量也非常庞大，传统的反向光刻技术仅仅能用于小版图切片的优化。

随着掩模制造技术的提高，特别是多束直写(MSB)和变形直写技术的开发，曲线掩模的制造精度和制造时间都可以达到量产需求[20]。因此保留反向光刻技术输出的曲线掩模已经成为可能。

近些年人工智能算法的复兴，也给计算光刻带来了新的尝试。新一代的卷积人工神经网络被应用于光刻工艺模型、掩模优化、SEM数据处理等方面的研究都有较多的报道[21-26]。基于人工智能的OPC主要优点是速度快，可以用于快速提供一个ILT的初始结果，从而加速整个ILT优化的过程，具体过程如图11所示。基于人工智能的OPC的流程和工具仍然在探索与验证中。基于人工智能的深度学习算法的另一个主要应用是光刻模型的建模工作。



**图11 利用深度学习加速全芯片ILT优化[26]**

计算光刻算法越来越复杂，对算力的需求也越来越大。半导体生产厂商为了运行计算光刻不得不维护数万甚至更多CPU core的集群。集群机房用地、环境的维护、集群硬件和系统软件的IT支持和维护及集群非生产高峰的闲置都将给集群拥有者带来不小的成本。云计算拥有大量的算力且动态分配系统可以很好解决上述问题。因此，许多计算光刻系统也在尝试在云上计算的可能。

协同优化，也被称为全景优化，是未来计算光刻发展的另一个重要方向，也是可能对整个行业影响最大的一个发展方向。设计工艺协同优化(DTCO)，即光刻工艺缺陷或热点区域可以通过对设计版图的适当修改而解决。基于这个思路的DTCO流程设想如图12所示[27]。

图形用户界面

描述已自动生成

**图12 DTCO功能流程图[27]**

## 5 结论

计算光刻是提高光刻分辨率的重要手段，是现代高端芯片设计与制造的重要桥梁。计算光刻从第1代基于规则的光学邻近效应校正开始，发展到第2代基于模型的光学邻近效应校正，正在进入第3代基于反向光刻技术的掩模优化的进程。期间为适应芯片特征尺寸的不断缩小，光刻工艺的不断创新，计算光刻技术也不断演化出多种技术和方法，如光源掩模联合优化、多次成像技术及未来可期的曲线掩模优化技术、基于深度学习的计算光刻技术等。运载计算光刻工具的硬件系统也从简单的单机服务器发展到具有几千甚至几万CPU核的超级计算集群、CPU-GPU异构超算集群及云平台。未来计算光刻的发展将会弥合设计与制造之间的空隙，使设计是考虑了制造的设计，制造是为了芯片电学功能实现的制造，从而统一了设计与制造的终极目标，制造具有电学功能的微结构，通过综合优化提高芯片制造的良率。

## 参考文献

[1] Robertson P D, Wise F W, Nasr A N, Neureuther A R. Proximity effects and influences of nonuniform illumination in projection lithography[J]. J]. Proceedings of SPIE, 1982: 37-44.

[2] Chien P, Chen M. Proximity effects in submicron optical lithography[J]. Proceedings of SPIE, 1987, 0772: 35.

[3] Yen A, Tzviatkov P, Wong A, et al. Optical proximity correction for 0.3 μm i-line lithography[J]. Microelectronic Engineering, 1996, 30(1/2/3/4): 141-144.

[4] Otto O W, Henderson R C. Integrating proximity effects corrections with photomask data preparation [J]. Proceedings of SPIE, 1995, 2440: 184-191

[5] Rothschild M. Projection optical lithography[J]. Materials Today, 2005, 8(2): 18-24.

[6] Mack C A. Fundamental principles of optical lithography: the science of microfabrication[M ]. New Jersey: John Wiley & Sons Inc, 2007.

[7] Chen J F, Laidig T L, Wampler K E, et al. Practical method for full-chip optical proximity correction[J]. Proceedings of SPIE, 1997, 3051: 790-803.

[8] Stirniman J P, Rieger M L. Fast proximity correction with zone sampling[J]. Proceedings of SPIE, 1994, 2197：294-302.

[9] N. Cobb,“Fast mask optimization for optical lithography", Master's thesis, University of California at Berkcley, 1994.

[10] 华卫群，周家万，尤春. 集成电路掩模分辨率增强技术[J]. 电子与封装，2020，20 (11)： 110402.

[11] Cobb N B, Zakhor A, Miloslavsky E. Mathematical and CAD Framework for proximity correction[J]. Proceedings of SPIE, 1996, 2726: 208-222.

[12] Burkhardt M, Yen A, Progler C, et al. Illuminator design for the printing of regular contact patterns[J]. Microelectronic Engineering, 1998, 41/42: 91-95.

[13] Hsu S, Chen L Q, Li Z P, et al. An innovative Source-Mask co-Optimization (SMO) method for extending low k1 imaging[J]. Proceedings of SPIE, 2008, 7140: 220-229.

[14] Tolani V, Hu P, Peng D P, et al. Source-mask co- optimization (SMO) using level set methods[J]. Proceedings of SPIE, 2009, 7488: 74880Y.

[15] Tsai M C, Hsu S, Chen L Q, et al. Full-chip source and mask optimization[J]. Proceedings of SPIE, 2011, 7973: 79730A.

[16] Park J, Hsu S, van den Broeke D, et al. Application challenges with double patterning technology (DPT) beyond 45 nm[J]. Proceedings of SPIE, 2006, 6349: 634922.

[17] Wiaux V, Verhaegen S, Iwamoto F, et al. A methodology for double patterning compliant split and design[J]. Proceedings of SPIE, 2008, 7140: 450-463.

[18] Saleh B E, Sayegh S I. Reduction of errors of microphotographic reproductions by optimal corrections of original masks[J]. Optical Engineering, 1981, 20 (5): 781-784.

[19] Hendrickx E. Inverse lithography for 45-nm-node contact holes at 1.35 numerical aperture[J]. Journal of Nanolithography, MEMS, and MOEMS, 2009, 8 (4): 043001.

[20] Pang L, Ungar P J, Bouaricha A, et al. TrueMask ILT MWCO: full-chip curvilinear ILT in a day and full mask multi-beam and VSB writing in 12 hrs for 193i[J]. Proceedings of SPIE, 2020, 11327: 145-158.

[21] Liu P. Mask synthesis using machine learning software and hardware platforms[J]. Proceedings of SPIE, 2020, 11327: 1132707.

[22] Cecil T, Braam K, Omran A, et al. Establishing fast, practical, full-chip ILT flows using machine learning[J]. Proceedings of SPIE, 2020, 11327: 1132706.

[23] Shi X L, Zhao Y H, Chen S M, et al. Physics based feature vector design: a critical step towards machine learning based inverse lithography[J]. Proceedings of SPIE, 2020, 11327: 113270A.

[24] Adam K, Ganjugunte S, Moyroud C, et al. Using machine learning in the physical modeling of lithographic processes[J]. Proceedings of SPIE, 2019, 10962: 109620F.

[25] Kim Y S, Lee S, Hou Z Y, et al. OPC model accuracy study using high volume contour based gauges and deep learning on memory device[J]. Proceedings of SPIE, 2019, 10959: 1095913.

[26] Cao Y. Mahine learning in computational lithography [EB/OL]. [2022-01-04]. https://www. ebeam. org/ docs/SPIE2019-yu-cao.pdf.

[27] Synopsys DTCO Flow: technology development[EB/ OL]. [2022-01-05]. https://www.synopsys.com/silicon/ resources/articles/dtco-flow.html.